

Japanese Laid-open Patent

Laid-open Number: Hei 1-276672
Laid--open Date: November 7, 1989
Application Number: Sho 63-105282
Filing Date: April 27, 1988
Applicants: Seiko Corporation
Japan Precision Circuit Co. Ltd.

SPECIFICATION

1. Title of the Invention

REVERSE STAGGER TYPE AMORPHOUS SILICON THIN FILM TRANSISTOR

2. Scope of Claims

(1) A reverse stagger type amorphous silicon thin film transistor, characterized in that a gate insulating layer is formed with a first silicon nitride layer, a silicon oxide layer, and a second silicon nitride layer from the side of a gate electrode in the stated order.

(2) A reverse stagger type amorphous silicon thin film transistor as claimed in claim 1, characterized in that a Ta (tantalum) anodic oxidation layer is formed between said first silicon nitride layer and said gate electrode.

3. Detailed Description of the Invention

[Field of the Industrial Application]

The present invention relates to a reverse stagger

type amorphous silicon thin film transistor array.

[Prior Art]

Research and development of amorphous silicon (hereinafter referred to as a-Si) thin film transistors (hereinafter referred to as TFTs) are being carried out in various places for practical use in an active matrix type liquid crystal display, a photosensor, and the like.

In such a-Si TFTs, reverse stagger type a-Si TFTs are widely used where a gate electrode and a source electrode / a drain electrode are formed so as to sandwich a gate insulating layer and an amorphous silicon layer, and where the gate electrode is formed so as to be closer to a substrate than the source electrode / the drain electrode.

As the gate insulating layer of the reverse stagger type a-Si TFTs, one using a single silicon nitride layer has been studied, but the one using the single silicon nitride layer has a problem that cracks are liable to be caused by stress.

Therefore, conventionally, reverse stagger type a-Si TFTs using a silicon nitride layer on the lower layer side of the gate insulating layer and using a silicon oxide layer on the upper layer of the gate insulating layer are proposed. By forming the silicon oxide layer above the silicon nitride layer, the stress against the silicon

nitride layer is alleviated to make cracks less liable to be caused.

Fig. 3 illustrates an a-Si TFT having the above-described structure.

In the figure, 1A denotes a gate insulating layer, and is formed of a lower layer, a silicon nitride layer 1e, and an upper layer, a silicon oxide layer 1f. 2 denotes a gate electrode, 3 denotes an amorphous silicon layer, 4 denotes an n type silicon layer containing an appropriate amount of an n type impurity, 5 denotes a source electrode, 6 denotes a drain electrode, and 7 denotes an insulating substrate.

By forming the silicon oxide layer on the silicon nitride layer 1e, it is attempted to make cracks in the silicon nitride layer 1e less liable to be caused.

[Problem to be solved by the Invention]

Normally, as the source electrode 5 and the drain electrode 6, Ti (titanium), Mo (molybdenum), Al (aluminum), ITO (Indium Tin Oxide), and the like (hereinafter generically referred to as SD metals) are used. These SD metals include therein a small amount of alkali ions. As is well known, alkali ions which enter the gate insulating layer 1 have significant adverse effects on the reliability of the TFT.

By the way, the silicon nitride layer can interrupt entry of the alkali ions while the silicon oxide layer can not interrupt entry of the alkali ions. Therefore, in the a-Si TFT having the above structure, alkali ions included in the source electrode 5 and the drain electrode 6 are diffused in the n type silicon layer 4 and the amorphous silicon layer 3 to reach the silicon oxide layer 1f, and easily enter the silicon oxide layer 1f. Therefore, the above-described reverse stagger a-Si TFT has a large problem with regard to the reliability.

The present invention has been made in view of the above conventional problem, and an object of the present invention is to provide a reverse stagger type a-Si TFT without entry of alkali ions into a silicon oxide layer and with high reliability.

[Means for solving the Problem]

The present invention solves the above problem by, in a reverse stagger type amorphous silicon thin film transistor, forming a gate insulating layer by forming a first silicon nitride layer, a silicon oxide layer, and a second silicon nitride layer from the side of a gate electrode in stated order.

It is to be noted that a Ta (tantalum) anodic oxidation layer may be formed between the first silicon

nitride layer and the gate electrode.

[Embodiments]

Embodiments of the present invention will now be described in the following with reference to the drawings.

In Fig. 1, 1 denotes a gate insulating layer, which is in three-layered structure formed with a first silicon nitride layer 1a (with a thickness of 50 - 100 nm), a silicon oxide layer 1b (with a thickness of 300 - 600 nm), and a second silicon nitride layer 1c (with a thickness of 100 - 200 nm) from the side of a gate electrode 2 in stated order. The gate electrode 2 is formed of a metal having a high melting point. 3 denotes an amorphous silicon layer, 4 denotes an n type silicon layer, 5 and 6 denote a source electrode and a drain electrode, respectively, both of which are formed of Ti, Mo, Al, ITO, or the like, and 7 denotes an insulating substrate.

In the present embodiment, since the second silicon nitride layer 1c formed as the uppermost layer of the gate insulating film 1 interrupts entry of alkali ions from the source electrode 5 and the drain electrode 6 into the gate insulating layer 1, an a-Si TFT with high reliability can be obtained.

The first silicon nitride layer 1a interrupts entry of alkali ions from the gate electrode 2 into the gate

insulating layer 1.

According to the present embodiment, since the gate insulating layer 1 is formed of the first and second silicon nitride layers 5 and 6 formed as the upper layer and the lower layer for interrupting entry of alkali ions, respectively, and the silicon oxide layer formed between the first and second silicon nitride layers 1a and 1c for alleviating stress against the first and second silicon nitride layers 1a and 1c to prevent occurrence of cracks, a reverse stagger type a-Si TFT having a high yield and high reliability can be obtained.

It is to be noted that, as the silicon oxide layer 1b, one formed by a film forming method utilizing light energy or thermal energy, for example, light CVD or atmospheric pressure CVD, is preferably used.

Fig. 2 illustrates another embodiment of the present invention.

The present invention is similar to the above first embodiment except that a Ta anodic oxidation layer 1d is formed between the gate electrode 2 and the first silicon nitride layer 1a.

To use a Ta anodic oxidation layer in a reverse stagger type a-Si TFT is conventionally known. However, similarly to the case of the above first embodiment, by

forming the gate insulating layer 1 of the first silicon nitride layer 1a, the silicon oxide layer 1b, and the second silicon nitride layer 1c, effects similar to those in the above first embodiment can be obtained.

[Effect of the Invention]

According to the present invention, since silicon nitride layers formed as an upper layer and a lower layer of a gate insulating layer interrupt alkali ions, and a silicon oxide layer formed as an intermediate layer reduces stress against the silicon nitride layers to prevent occurrence of cracks, a reverse stagger type amorphous silicon thin film transistor having high reliability and a high yield can be obtained.

4. Brief Description of the Drawings

Fig. 1 is a sectional view illustrating an embodiment of a reverse stagger type amorphous silicon thin film transistor according to the present invention, Fig. 2 is a sectional view illustrating another embodiment of the present invention, and Fig. 3 is a sectional view illustrating a conventional reverse stagger type amorphous silicon thin film transistor.

1 ... gate insulating layer

1a ... first silicon nitride layer

1b ... silicon oxide layer

1c ... second silicon nitride layer

1d ... Ta anodic oxidation layer

図面記

- Fig. 1 1 GATE INSULATING LAYER
- 1a FIRST SILICON NITRIDE LAYER
- 1b SILICON OXIDE LAYER
- 1c SECOND SILICON NITRIDE LAYER
- Fig. 2 1d Ta ANODIC OXIDE LAYER

REVERSELY STAGGERED TYPE AMORPHOUS SILICON THIN FILM TRANSISTOR

Patent Number: JP1276672
Publication date: 1989-11-07
Inventor(s): TANAKA SAKAE; others: 03
Applicant(s):: SEIKOSHA CO LTD; others: 01
Requested Patent: JP1276672
Application JP19880105282 19880427
Priority Number(s):
IPC Classification: H01L29/78 ; H01L27/12
EC Classification:
Equivalents:

Abstract

PURPOSE: To avoid penetration of alkali ions in the silicon oxide layer of a gate insulating layer by a method wherein the gate insulating layer is composed of a first silicon nitride layer, the silicon oxide layer and a second silicon nitride layer which are formed in this order from the gate electrode side.

CONSTITUTION: The gate insulating layer 1 of an inverse-stagger type amorphous silicon thin film transistor is composed of a first silicon nitride layer 1a, a silicon oxide layer 1b and a second silicon nitride layer 1c which are formed in this order from the gate electrode side. With this constitution, alkali ions are blocked by the silicon nitride layers 1a and 1c formed as the upper layer and the lower layer of the gate insulating layer 1 and stresses in the silicon nitride layers 1a and 1b are relieved by the silicon oxide layer 1b formed as the intermediate layer, so that crackings can be avoided.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平1-276672

⑤ Int. Cl.⁴H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

G-8624-5F
A-7514-5F

④ 公開 平成1年(1989)11月7日

審査請求 未請求 請求項の数 2 (全 3 頁)

⑥ 発明の名称 逆スタガー型非晶質シリコン薄膜トランジスタ

② 特 願 昭63-105282

② 出 願 昭63(1988)4月27日

⑦ 発 明 者 田 中 栄 東京都墨田区太平4丁目1番1号 株式会社精工舎内
 ⑦ 発 明 者 渡 辺 善 昭 東京都墨田区太平4丁目1番1号 株式会社精工舎内
 ⑦ 発 明 者 白 井 勝 夫 栃木県那須郡塩原町大字下田野531-1 日本プレシジョン・サーキッツ株式会社内
 ⑦ 発 明 者 萩 原 芳 久 栃木県那須郡塩原町大字下田野531-1 日本プレシジョン・サーキッツ株式会社内
 ⑦ 出 願 人 株式会社精工舎 東京都中央区京橋2丁目6番21号
 ⑦ 出 願 人 日本プレシジョン・サーキッツ株式会社 東京都中央区銀座3丁目5番8号
 ⑦ 代 理 人 弁理士 松田 和子

明 細 書

1. 発明の名称

逆スタガー型非晶質シリコン薄膜トランジスタ

2. 特許請求の範囲

(1) ゲート絶縁層が、ゲート電極側から第1の窒化シリコン層、酸化シリコン層および第2の窒化シリコン層の順に形成されていることを特徴とする逆スタガー型非晶質シリコン薄膜トランジスタ。

(2) 第1の窒化シリコン層とゲート電極間に、Ta(タンタル)陽極酸化層が形成されていることを特徴とする請求項1記載の逆スタガー型非晶質シリコン薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、逆スタガー型非晶質シリコン薄膜トランジスタアレイに関するものである。

〔従来の技術〕

非晶質シリコン(以下、a-Siという)薄膜

トランジスタ(以下、TFETという)は、アクティブマトリクス型液晶表示器、フォトセンサ等への実用化に向けて各所で研究開発が行われている。

上記a-SiTFETでは、ゲート電極とソース電極およびドレイン電極がゲート絶縁層および非晶質シリコン層をはさんで形成され、しかもゲート電極がソース電極およびドレイン電極よりも基板側に形成された逆スタガー型a-SiTFETが広く用いられている。

逆スタガー型a-SiTFETのゲート絶縁層には、窒化シリコン層単層を用いたものが研究されているが、窒化シリコン層単層のものでは応力によりクラックが生じ易い欠点がある。

そこで、ゲート絶縁層の下層側に窒化シリコン層を用い、上層に酸化シリコン層を用いた逆スタガー型a-SiTFETが従来より提案されている。これは、窒化シリコン層の上層に酸化シリコン層を形成することにより、窒化シリコン層の応力を緩和してクラックを生じ難くさせたものである。

第3図は、上記構造を有するa-SiTFETを

示したものである。

同図において、1Aはゲート絶縁層であり、下層の窒化シリコン層1eと上層の酸化シリコン層1fにより形成されている。2はゲート電極、3は非晶質シリコン層、4はn型不純物を適量含んだn型シリコン層、5はソース電極、6はドレイン電極、7は絶縁性基板である。

このように窒化シリコン層1e上に酸化シリコン層を形成して、窒化シリコン層1eのクラック低減を図っている。

【解決しようとする課題】

通常、上記ソース電極5およびドレイン電極6は、Ti(チタン)、Mo(モリブデン)、Al(アルミニウム)、ITO(Indium.TiO Oxide)など(以下、総称してSD金属という)が用いられているが、これらのSD金属には微量のアルカリイオンが含まれている。周知のようにアルカリイオンがゲート絶縁層1内に入るとTFTの信頼性に対して著しく悪影響を与える。

ところで、窒化シリコン層は上記アルカリイオ

ンの侵入を遮断することができるが、酸化シリコン層はアルカリイオンの侵入を遮断することができない。従って上記構造を有するa-SiTFTでは、ソース電極5およびドレイン電極6に含まれるアルカリイオンがn型シリコン層4および非晶質シリコン層3中を拡散して酸化シリコン層1fに到達し、容易に酸化シリコン層1f中に侵入する。このために上記従来の逆スタガー型a-SiTFTでは信頼性に大きな問題があった。

本発明は、上記従来の課題に対してなされたものであり、酸化シリコン層中にアルカリイオンが侵入しない高信頼性を有した逆スタガー型a-SiTFTを提供することを目的としている。

【課題を解決するための手段】

本発明は、逆スタガー型非晶質シリコン薄膜トランジスタにおいて、ゲート絶縁層がゲート電極側から第1の窒化シリコン層、酸化シリコン層および第2の窒化シリコン層の順に形成することにより上記課題を解決するものである。

なお、第1の窒化シリコン層とゲート電極間に

Ta(タンタル)陽極酸化層が形成されてもよい。
【実施例】

以下、本発明における一実施例図面に基いて説明する。

第1図において、1はゲート絶縁層であり、これはゲート電極2側から順に、第1の窒化シリコン層1a(厚さ50~100nm)、酸化シリコン層1b(厚さ300~600nm)、第2の窒化シリコン層1c(厚さ100~200nm)の3層構造になっている。ゲート電極2は高融点金属により形成されている。3は非晶質シリコン層、4はn型シリコン層、5および6はTi、Mo、Al、ITO等により形成されたソース電極およびドレイン電極、7は絶縁性基板である。

本例では、ゲート絶縁層1の最上層に形成された第2の窒化シリコン層1cが、ソース電極5およびドレイン電極6からゲート絶縁層1へのアルカリイオンの侵入を防止するため、信頼性の高いa-SiTFTを得ることができる。

また、第1の窒化シリコン層1aは、ゲート電

極2からゲート絶縁層1へのアルカリイオンの侵入を遮断するものである。

すなわち本例では、ゲート絶縁層1が、上層と下層に形成されアルカリイオンの侵入を遮断する第1および第2の窒化シリコン層5、6と、上記第1および第2の窒化シリコン層1a、1c間に形成され、上記第1および第2の窒化シリコン層1a、1cの応力を緩和してクラック発生を防止する酸化シリコン層とにより形成されているために、高歩留りで高信頼性を有した逆スタガー型a-SiTFTを得ることができる。

なお、上記酸化シリコン層1bは、光または熱エネルギーによる成膜方法、例えば光CVD法、常圧CVD法で形成されたものを使用することが好ましい。

第2図は、本発明における他の実施例を示したものである。

本例は、ゲート電極2と第1の窒化シリコン層1aの間にTa陽極酸化層1dを形成したものであり、他は上記第1の実施例と同様である。

従来よりT a 陽極酸化層を逆スタガー型 a-S
I TFTに使用することは公知であるが、上記第
1の実施例と同様に、ゲート絶縁層1を第1の窒
化シリコン層1 a、酸化シリコン層1 b、第2の
窒化シリコン層1 cにて形成することにより、上
記第1の実施例と同様の効果を得ることができる。

〔発明の効果〕

本発明では、ゲート絶縁層の上層と下層に形成
された窒化シリコン層がアルカリイオンを遮断し、
中間層に形成された酸化シリコン層が上記窒化シ
リコン層の応力を緩和してクラック発生を防止す
るため、高信頼性かつ高歩留りの逆スタガー型非
晶質シリコン薄膜トランジスタを得ることができ
る。

4. 図面の簡単な説明

第1図は本発明における逆スタガー型非晶質シ
リコン薄膜トランジスタの一実施例を示した断面
図、第2図は本発明における他の実施例を示した
断面図、第3図は従来の逆スタガー型非晶質シリ
コン薄膜トランジスタを示した断面図である。

- 1 …… ゲート絶縁層
- 1 a …… 第1の窒化シリコン層
- 1 b …… 酸化シリコン層
- 1 c …… 第2の窒化シリコン層
- 1 d …… T a 陽極酸化層

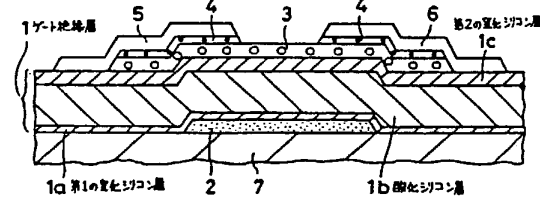
以 上

出願人 株式会社 精工舎

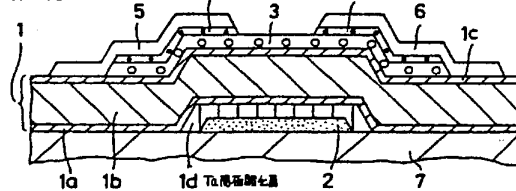
出願人 日本プレシジョン・サー
キット株式会社

代理人 弁理士 松田和子

第 1 図



第 2 図



第 3 図

